

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022331

(43)Date of publication of application : 21.01.2000

(51)Int.CI.

**H05K 3/46**

(21)Application number : 10-186103

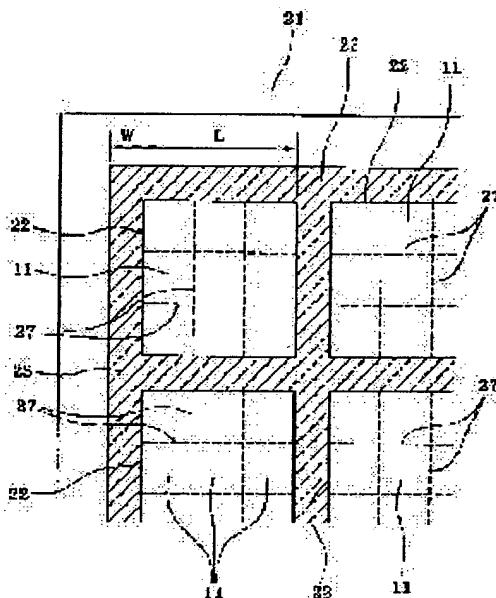
(71)Applicant : **SUMITOMO METAL ELECTRONICS  
DEVICES INC**

(22)Date of filing : 01.07.1998

(72)Inventor : **YOTSUMOTO SHU  
IKEDA TAKASHI****(54) METHOD FOR FORMING WIRING PATTERN OF BUILD-UP MULTILAYER BOARD****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To flatten the surface of a wiring layer by equalizing the thickness of the plating of the wiring pattern made by electrolytic plating, in the manufacturing process of a build-up multilayer board.

**SOLUTION:** One piece or plural pieces of wiring pattern formation blocks 22 are made at a work board 21, and wiring patterns for one piece or plural pieces of build-up multilayer boards 11 are made at each wiring pattern formation block 22. A band-shaped dummy pattern 23 is made around each wiring pattern formation block 2 by electrolytic copper plating at the same time with the wiring pattern within the wiring pattern formation block 22. The width w of the dummy pattern 23 is made 1/10-1/3 of one side of the wiring pattern formation block or made in 10 mm or more. After electrolytic copper plating, the surface of the wiring pattern formation block 22 is polished to equalize the thickness of the plating of the wiring pattern. At this time, the dummy pattern 23 performs the role as the guide for regulating the quantity of polishing.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japan Patent Office is not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the circuit pattern formation method of the build-up multilayer substrate which forms a circuit pattern by electrolytic-copper plating on an insulating layer in the manufacturing process of a build-up multilayer substrate.

[0002]

[Description of the Prior Art] The densification of the wiring density of a substrate which carries IC chip, and many pin-ization have been an important technical problem with highly-efficient-izing and the miniaturization of IC chip in recent years. Now, there is a build-up multilayer substrate as an example of the high-density-assembly substrate put in practical use. the top after the general manufacture method of this build-up multilayer substrate forming the photosensitive insulating layer of an epoxy system in both sides or one side of the glass epoxy-group board used as a core substrate and forming a beer hall in this photosensitive insulating layer by the photo etching method to electrolytic-copper plating -- a inner layer circuit pattern and beer -- a conductor is formed, and henceforth, the same process is repeated successively and it multilayers

[0003]

[Problem(s) to be Solved by the Invention] There is an inclination which the number of laminatings of a build-up multilayer substrate increases with highly-efficient-izing of IC chip in recent years, and there is an inclination for the irregularity on the front face of a substrate produced by dispersion in the thickness of a inner layer circuit pattern to become large, in connection with it. When forming a circuit pattern by electrolytic-copper plating especially, in a narrow, plating \*\* tends to become thick and the line breadth of a circuit pattern becomes uneven also by difference of the current distribution at the time of plating according plating \*\* ] to the roughness and fineness of wiring density. For this reason, dispersion arises in plating \*\* of the circuit pattern formed by electrolytic-copper plating, and the maximum difference of elevation during wiring amounts to no less than 10 micrometers. In a build-up multilayer substrate, in order to form an insulating layer and a two or more layers circuit pattern layer by turns, dispersion in the thickness of the insulating layer of each class and dispersion of plating \*\* of the circuit pattern layer of each class are accumulated, and the irregularity on the front face of a substrate becomes large. For this reason, if the surface mount of the IC chip is carried out by flip chip bonding (C4) on a build-up multilayer substrate with many laminatings, it will become easy to generate a faulty connection with the irregularity on the front face of a substrate, and will become easy to generate the poor contact in a inner layer. Therefore, the present build-up multilayer substrate had brought a result to which the number of laminatings will be restricted from the need of lessening irregularity in a substrate front face or each class, and high-density wiring-ization is restricted.

[0004] this invention is made in consideration of such a situation. therefore, the purpose In the manufacturing process of a build-up multilayer substrate, plating \*\* of the circuit pattern formed by electrolytic-copper plating is made uniform. Flattening of the wiring layer front face can be carried out, and it is in offering the circuit pattern formation method of a build-up multilayer substrate that the formation of high-density wiring and the improvement in junction reliability of a chip by the increase in the number of laminatings of a build-up multilayer substrate can be reconciled.

[0005]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the circuit pattern formation method of the build-up multilayer substrate of the claim 1 of this invention forms a band-like dummy pattern around a circuit pattern formation block by electrolytic-copper plating simultaneously with this circuit pattern. If it does in this way, current can be stabilized and passed into a circuit pattern formation portion through the surrounding dummy pattern formation portion of a circuit pattern formation block at the time of electrolytic-copper plating, and dispersion in plating \*\* of a circuit pattern can be lessened.

[0006] In this case, you may make it excise one piece of a build-up multilayer substrate, or the portion of the dummy pattern which formed two or more circuit patterns of a part, and was formed around it finally to a circuit pattern formation block like a claim 2.

[0007] Furthermore, you may make it grind the front face of a circuit pattern formation block like a claim 3. since it becomes uniform [ the distribution of the current which flows to a dummy pattern band-like to the time of electrolytic-copper plating although line breadth is markedly alike from a circuit pattern since there is a property in which plating \*\* tends to become / the line breadth of a circuit pattern / thick in electrolytic-copper plating in a narrow, and, as for plating \*\* of a latus band-like dummy pattern, a plating / of a circuit pattern / thick twist also becomes thin ], it becomes uniform [ plating \*\* of a dummy pattern ]

Therefore, if plating \*\* of this dummy pattern is made a guide and the front face of a circuit pattern formation block is ground with a polish pad etc., plating \*\* of a circuit pattern can be arranged with plating \*\* of a dummy pattern, and it can equalize. [0008] In this case, it is good like a claim 4 to form the width of face of a dummy pattern or more [ of a circuit pattern formation block / of one side ] in 1/10. In case the front face of a circuit pattern formation block will be ground with a polish pad etc. while plating \*\* of a dummy pattern is fully equalized if it does in this way, the mechanical strength which can fully play a role of a guide to which a dummy pattern regulates the amount of polishes can also be secured.

[0009] Or you may form the width of face of a dummy pattern in 10mm or more like a claim 5. thus -- if it carries out -- the time of electrolytic-copper plating -- the current supply source from a dummy pattern formation portion to a circuit pattern formation portion -- enough -- being stabilized -- dispersion in plating \*\* of a circuit pattern -- enough -- decreasing -- surface lapping of a circuit pattern formation block -- needlessness -- or what is necessary is just to grind lightly

[0010] Moreover, it is so good that the area of a circuit pattern formation block becomes large for dispersion in the current distribution of the circuit pattern at the time of electrolytic-copper plating (dispersion in plating \*\* of a circuit pattern) to form one side of a circuit pattern formation block in 50mm or less like a claim 6 in consideration of a bird clapper greatly. thus, if it carries out, dispersion in the current distribution of the circuit pattern formation portion within a circuit pattern formation block will decrease, and plating \*\* of a circuit pattern will equalize mostly -- having -- surface lapping of a circuit pattern formation block -- needlessness -- or what is necessary is just to grind lightly

[0011]

[Embodiments of the Invention] The operation gestalt (1) of this invention is explained based on a drawing below [an operation gestalt (1)]. First, based on drawing 1, the structure of the build-up multilayer substrate 11 manufactured by the manufacture method of this operation gestalt (1) is explained. The core substrate 12 is formed of for example, a glass epoxy-group board, a metal substrate, etc., and the through hole 13 is formed in the predetermined position. vertical both sides of this core substrate 12, and the inner skin of a through hole 13 -- non-electrolytic-copper plating and electrolytic-copper plating -- a circuit pattern 14 and a through hole -- it forms so that a conductor 15 may flow mutually -- having -- the slot between circuit patterns 14, and a through hole -- the interior of a conductor 15 is made up for with the flattening resin 16, and flattening of the substrate side is carried out

[0012] On the circuit pattern 14 of core substrate 12 both sides, the photosensitive insulating layer 17 of an epoxy system is formed, and the beer hall 18 is formed in the predetermined position of this photosensitive insulating layer 17 by the photo etching method. the front face and beer hall 18 of this photosensitive insulating layer 17 -- electrolytic-copper plating -- a circuit pattern 19 and beer -- the conductor 20 is formed these insulating layers 17, a circuit pattern 19, and beer -- only the number of laminatings which needs a conductor 20 is formed (only a part for two-layer is illustrated to drawing 1) in addition -- although illustration is not carried out -- the beer of the lowest layer by the side of build-up multilayer substrate 11 inferior surface of tongue -- a conductor 20 -- nickel/Au plating -- minding -- BGA (Ball Grid Array) a bump forms -- having -- the beer of the best layer by the side of the build-up multilayer substrate 11 upper surface -- the pad for flip chip bonding is formed in the conductor 20

[0013] In manufacturing this build-up multilayer substrate 11, as shown in drawing 2, it forms many build-up multilayer substrates 11 in one work substrate 21 simultaneously. One piece or two or more circuit pattern formation blocks 22 are formed in the work substrate 21, and the circuit pattern 19 for one piece of the build-up multilayer substrate 11 or plurality (the example of drawing 2 nine pieces) is formed in each circuit pattern formation block 22. The band-like dummy pattern 23 is formed around each circuit pattern formation block 22 by electrolytic-copper plating by the semi additive process simultaneously with the circuit pattern 19 within the circuit pattern formation block 22. In this case, the width of face W of the dummy pattern 23 is formed so that it may be set to 1/10 (preferably 1 / 10 - 1/3) or more [ of one side L of the circuit pattern formation block 22 ], and 10mm or more ( $W \geq L/10$  or  $W \geq 10\text{mm}$ ).

[0014] Next, the manufacturing process of this build-up multilayer substrate 11 is explained based on drawing 3 - drawing 5. Drawing 3 is a flow chart which shows the flow of the manufacturing process of the build-up multilayer substrate 11 here, and drawing 4 and drawing 5 are the fragmentary sectional views showing the formation state of the substrate of each process roughly.

[0015] first, the predetermined position of the core substrate 12 of the same size as the work substrate 21 shown in drawing 2 at the first process (1) -- a through hole 18 -- piercing -- processing it -- the following process (2) -- vertical both sides of the core substrate 12, and the inner skin of a through hole 13 -- non-electrolytic-copper plating and electrolytic-copper plating -- a circuit pattern 14 and a through hole -- it forms so that it may flow through the conductor 15 of each other

[0016] the following process (3) -- the slot between the circuit patterns 14 of the core substrate 12, and a through hole -- the interior of a conductor 15 is made up for with the flattening resin 16, and flattening of the substrate side is carried out At the following process (4), on the core substrate 12, the photopolymer of an epoxy system is applied by the spin coater etc., this is prebaked, and the photosensitive insulating layer 17 is formed. At the following process (5), the exposure development of the photosensitive insulating layer 17 is carried out, and a beer hall 18 is formed in the photosensitive insulating layer 17.

[0017] At the following process (6), the non-electrolytic-copper plating coat 24 is formed in the whole front face of the photosensitive insulating layer 17, and the inner skin of a beer hall 18 by non-electrolytic-copper plating. At the following process (7), the plating resist pattern 25 is formed in the front face of the non-electrolytic-copper plating coat 24 as follows. First, the dry film of a photosensitive resist is laminated on the whole front face of the non-electrolytic-copper plating coat 24. Or it may replace with the lamination of a dry film and a liquefied photosensitive resist may be applied to the whole front face of the non-electrolytic-copper plating coat 24 by the spin coater etc. then, a photosensitive resist -- an exposure development -- carrying

out -- the beer hall of the photosensitive resists -- the portion which forms a conductor 20, a circuit pattern 19, and the dummy pattern 23 is removed, and the plating resist pattern 25 is formed Under the present circumstances, the plating resist pattern 25 is formed so that the width of face W of the dummy pattern 23 may be set to 1/10 (preferably 1 / 10 - 1/3) or more [ of one side L of the circuit pattern formation block 22 ], and 10mm or more ( $W>=L/10$  or  $W>=10mm$ ).

[0018] At the following process (8), electrolytic-copper plating is given to the portion exposed from the plating resist pattern 25 of the non-electrolytic-copper plating coats 24, and an electrolytic-copper plating pattern (beer hall surface portions of a conductor 20, a circuit pattern 19, and the dummy pattern 23) is formed. Since there is a property in which plating \*\* tends to become [ the line breadth of the electrolytic-copper plating patterns 19, 20, and 23 ] thick, in electrolytic-copper plating as a narrow, although, as for plating \*\* of the latus band-like dummy pattern 23, the plating thick twist of a circuit pattern 19 also becomes thin by line breadth being markedly alike from a circuit pattern 19 as shown in drawing 6 (a) Since the distribution of current which flows to the band-like dummy pattern 23 at the time of electrolytic-copper plating becomes uniform, it becomes uniform [ plating \*\* of the dummy pattern 23 ]. Moreover, plating \*\* of a circuit pattern 19 becomes uneven by difference of the current distribution at the time of plating by the roughness and fineness of wiring density.

[0019] then, the following process (9) -- polish of a polish pad, a grinding stone, etc. -- carry a member 26 on the electrolytic-copper plating patterns 19 and 20 and 23, and it carries out both-way sliding repeatedly horizontally -- the front face of the circuit pattern formation block 22 -- grinding -- a beer hall -- plating \*\* of the surface portion of a conductor 20 and a circuit pattern 19 is made uniform Under the present circumstances, the dummy pattern 23 plays a role of a guide which regulates the amount of polishes, and as shown in drawing 6 (b), plating \*\* of a circuit pattern 19 is arranged with plating \*\* of the dummy pattern 23, and it makes it uniform.

[0020] After carrying out ablation removal of the plating resist pattern 25 at the following process (10) using ablation liquid, the garbage (a part for an outcrop) of the non-electrolytic-copper plating coat 24 is removed by etching at an etching process (11), using the electrolytic-copper plating patterns 19, 20, and 23 as an etching resist (mask). thereby -- a beer hall -- a conductor 20, a circuit pattern 19, and the dummy pattern 23 are formed

[0021] in addition, the above-mentioned etching process (11) -- a beer hall -- since a conductor 20 and the front face of a circuit pattern 19 are roughened, you may be made to carry out polish processing at the following process (12) again If there are few grades of surface roughening by etching, it is not necessary to perform this polish process (12). Moreover, since flattening of the polish process of the above (9) is the purpose, you may perform the rear stirrup of a plating resist pattern ablation process (10) after an etching process (11).

[0022] At the above process, the photosensitive insulating layer 17 of the 1st layer and wiring layer are formed, and one piece or two or more build-up multilayer substrates 11 are henceforth formed simultaneously repeatedly in one piece or two or more circuit pattern formation blocks 22 of one work substrate 21 one by one until it becomes the required number of laminatings about these processes. And at the last process, the portion of the dummy pattern 23 is excised from the work substrate 21, further, when two or more build-up multilayer substrates 11 are formed in the circuit pattern formation block 22, it cuts along with the boundary line 27 (refer to drawing 2 ) of each build-up multilayer substrate 11, and each build-up multilayer substrate 11 is divided. Now, manufacture of the build-up multilayer substrate 11 is completed.

[0023] the operation gestalt (1) explained above -- after electrolytic-copper plating -- the dummy pattern 23 -- a guide -- carrying out -- polish -- since the front face of the circuit pattern formation block 22 was ground by the member 26, plating \*\* of a circuit pattern 19 can be arranged with plating \*\* of the dummy pattern 23, it can equalize, and flattening of the wiring layer can be carried out For this reason, even if it makes the number of laminatings of the build-up multilayer substrate 11 increase conventionally, irregularity on the front face of a substrate can be lessened, flip chip junction reliability can be improved, and the formation of high-density wiring and the improvement in flip chip junction reliability by the increase in the number of laminatings can be reconciled.

[0024] And since the width of face W of the dummy pattern 23 is formed in 1/10 or more [ of one side L of the circuit pattern formation block 22 ], and 10mm or more ( $W>=L/10$  or  $W>=10mm$ ) While the flow of the current to the dummy pattern 23 at the time of electrolytic-copper plating is stabilized and being able to equalize plating \*\* of the dummy pattern 23 by fixed thickness, the mechanical strength which can fully play a role of a guide to which the dummy pattern 23 regulates the amount of polishes is also securable. Thereby, plating \*\* of a circuit pattern 19 can be certainly equalized by fixed thickness.

[0025] Moreover, with this operation gestalt (1), since the width of face W of the dummy pattern 23 is formed or less [ of one side L of the circuit pattern formation block 22 ] in 1/3, the portion finally excised from the work substrate 21 can be lessened, the part and the yield can be improved, and product cost can be reduced.

[0026] Although plating \*\* of a circuit pattern 19 was equalized by grinding the front face of the circuit pattern formation block 22 with the [operation gestalt (2)] above-mentioned implementation gestalt (1) the distance which grinds the front face of the circuit pattern formation block 22 by carrying out electrolytic-copper plating so that it may mention later and dispersion in plating \*\* of a circuit pattern 19 may decrease like an electrolytic-copper galvanizer with an operation gestalt (2) -- an ellipsis -- or what is necessary is just making it grind lightly Other distance is the same as the above-mentioned operation gestalt (1).

[0027] With this operation form (2), in order to lessen dispersion in plating \*\* of a circuit pattern 19 like an electrolytic-copper galvanizer, the width of face W of the dummy pattern 23 is formed in 10mm or more. Furthermore, dispersion in the distribution of the current of the circuit pattern 19 at the time of electrolytic-copper plating (dispersion in plating \*\* of a circuit pattern 19) forms one side L of the circuit pattern formation block 22 in 50mm or less in consideration of a bird clapper greatly, so that the area of the circuit pattern formation block 22 becomes large.

[0028] Thus, if the width of face W of the dummy pattern 23 is formed in 10mm or more, the current supply source from a formation portion to the circuit pattern 19 formation portion of the dummy pattern 23 will be stabilized at the time of electrolytic-copper plating, and the effect that dispersion in plating \*\* of a circuit pattern 19 decreases will be acquired. Furthermore, if one side L of the circuit pattern formation block 22 is formed in 50mm or less, the effect that dispersion in the current distribution of the circuit pattern 19 formation portion within the circuit pattern formation block 22 decreases, and dispersion in plating \*\* of a circuit pattern 19 decreases also by this will be acquired. Consequently, surface lapping of the circuit pattern formation block 22 becomes that what is necessary is just to grind unnecessarily or lightly.

[0029] In addition, in the example of composition of drawing 1, although it was made to carry out the laminating of the photosensitive insulating layer 17 and the wiring layer to both sides of the core substrate 12, you may be made to carry out the laminating of the photosensitive insulating layer 17 and the wiring layer only to one side of the core substrate 12. Moreover, you may make it formation of an insulating layer form a beer hall by laser not only using a photopolymer but using a nonphotosensitivity resin.

[0030]

[Effect of the Invention] Since the band-like dummy pattern was formed around the circuit pattern formation block by electrolytic-copper plating simultaneously with this circuit pattern according to the circuit pattern formation method of the build-up multilayer substrate of the claim 1 of this invention so that clearly from the above explanation, dispersion in plating \*\* of a circuit pattern can be lessened, and the formation of high-density wiring and the improvement in junction reliability of a chip by the increase in the number of laminatings of a build-up multilayer substrate can be reconciled.

[0031] Furthermore, since the portion of a dummy pattern is finally excised, enlargement of a build-up multilayer substrate can be avoided and the demand of a miniaturization of substrate size can be filled with a claim 2.

[0032] And in a claim 3, since the front face of a circuit pattern formation block is ground, plating \*\* of a circuit pattern can be arranged with plating \*\* of a dummy pattern, it can equalize certainly, and the flat nature of a wiring layer front face can be improved further.

[0033] Moreover, in a claim 4, since the width of face of a dummy pattern is formed or more [ of a circuit pattern formation block / of one side ] in 1/10, while fully being able to equalize plating \*\* of a dummy pattern, the mechanical strength of the dummy pattern as a guide which regulates the amount of polishes is also securable.

[0034] Moreover, since the width of face of a dummy pattern is formed in 10mm or more, at the time of electrolytic-copper plating, the current supply source from a dummy pattern formation portion to a circuit pattern formation portion can be stabilized, a circuit pattern with little dispersion in plating \*\* can be formed by electrolytic-copper plating, and surface lapping of a circuit pattern formation block can manage a claim 5 by needlessness or light polish.

[0035] Moreover, since one side of a circuit pattern formation block was formed in 50mm or less, dispersion in the current distribution of a circuit pattern formation portion (dispersion in plating \*\*) can be lessened, and surface lapping of a circuit pattern formation block can manage a claim 6 by needlessness or light polish.

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-22331

(P2000-22331A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl.  
H 05 K 3/46

識別記号

F I  
H 05 K 3/46

コード(参考)  
B 5 E 3 4 6  
E

審査請求 未請求 請求項の数 6 OL (全 7 頁)

(21)出願番号 特願平10-186103

(22)出願日 平成10年7月1日(1998.7.1)

(71)出願人 391039896

株式会社住友金属エレクトロデバイス  
山口県美祢市大嶺町東分字岩倉2701番1

(72)発明者 四元 栄

山口県美祢市大嶺町東分字岩倉2701番1  
株式会社住友金属エレクトロデバイス内

(72)発明者 池田 尊士

山口県美祢市大嶺町東分字岩倉2701番1  
株式会社住友金属エレクトロデバイス内

(74)代理人 100098420

弁理士 加古 宗男

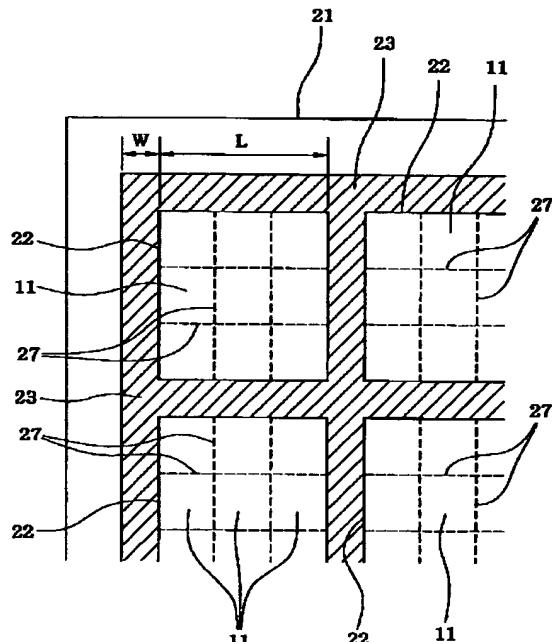
最終頁に続く

(54)【発明の名称】 ビルドアップ多層基板の配線パターン形成方法

(57)【要約】

【課題】 ビルドアップ多層基板の製造工程において、電解銅メッキで形成される配線パターンのメッキ厚を均一にして、配線層表面を平坦化する。

【解決手段】 ワーク基板21に、1個又は複数個の配線パターン形成プロック22を形成し、各配線パターン形成プロック22に、ビルドアップ多層基板11の1個分又は複数個分の配線パターンを形成する。各配線パターン形成プロック22の周辺には、帯状のダミーパターン23を配線パターン形成プロック22内の配線パターンと同時に電解銅メッキにより形成する。ダミーパターン23の幅Wは、配線パターン形成プロック22の一辺Lの $1/10 \sim 1/3$ 又は10mm以上に形成する。電解銅メッキ後に、配線パターン形成プロック22の表面を研磨して配線パターンのメッキ厚を均一にする。この際、ダミーパターン23が研磨量を規制するガイドとしての役割を果たす。



1

## 【特許請求の範囲】

【請求項1】 ビルドアップ多層基板の製造工程において、絶縁層上に配線パターンを電解銅メッキによって形成する方法であって、

前記配線パターンの形成ブロックの周辺に帯状のダミーパターンを該配線パターンと同時に電解銅メッキにより形成することを特徴とするビルドアップ多層基板の配線パターン形成方法。

【請求項2】 前記配線パターンの形成ブロックには、ビルドアップ多層基板の1個分又は複数個分の配線パターンを形成し、前記ダミーパターンの部分を最終的に切除することを特徴とする請求項1に記載のビルドアップ多層基板の配線パターン形成方法。

【請求項3】 前記配線パターンの形成ブロックの表面を研磨することを特徴とする請求項1又は2に記載のビルドアップ多層基板の配線パターン形成方法。

【請求項4】 前記ダミーパターンの幅を前記配線パターンの形成ブロックの一辺の1/10以上に形成することを特徴とする請求項1, 2, 3のいずれかに記載のビルドアップ多層基板の配線パターン形成方法。

【請求項5】 前記ダミーパターンの幅を10mm以上に形成することを特徴とする請求項1, 2, 3のいずれかに記載のビルドアップ多層基板の配線パターン形成方法。

【請求項6】 前記配線パターンの形成ブロックの一辺を50mm以下に形成することを特徴とする請求項1乃至5のいずれかに記載のビルドアップ多層基板の配線パターン形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ビルドアップ多層基板の製造工程において、絶縁層上に配線パターンを電解銅メッキによって形成するビルドアップ多層基板の配線パターン形成方法に関するものである。

## 【0002】

【従来の技術】近年のICチップの高性能化・小型化に伴い、ICチップを搭載する基板の配線密度の高密度化、多ピン化が重要な技術的課題となっている。現在、実用化されている高密度実装基板の一例としてビルドアップ多層基板がある。このビルドアップ多層基板の一般的な製造方法は、コア基板となるガラスエポキシ基板の両面又は片面にエポキシ系の感光性絶縁層を形成し、この感光性絶縁層にフォトエッチング法でビアホールを形成した後、その上から、電解銅メッキで内層配線パターンやビア導体を形成し、以後、同様の工程を順次繰り返して多層化するものである。

## 【0003】

【発明が解決しようとする課題】近年のICチップの高性能化に伴い、ビルドアップ多層基板の積層数が増加する傾向があり、それに伴って、内層配線パターンの厚み

2

のばらつきによって生じる基板表面の凹凸が大きくなる傾向がある。特に、配線パターンを電解銅メッキで形成する場合、配線パターンの線幅が細いほど、メッキ厚が厚くなりやすく、また、メッキ厚は、配線密度の粗密によるメッキ時の電流分布の相違によっても不均一になる。このため、電解銅メッキで形成する配線パターンのメッキ厚にばらつきが生じ、配線間の最大高低差は10μmにも達する。ビルドアップ多層基板では、絶縁層と配線パターン層とを交互に複数層形成するため、各層の絶縁層の厚みのばらつきと各層の配線パターン層のメッキ厚のばらつきが累積され、基板表面の凹凸が大きくなる。このため、積層数の多いビルドアップ多層基板上にICチップをフリップチップボンディング(C4)で表面実装すると、基板表面の凹凸によって接続不良が発生しやすくなり、また、内層での接触不良が発生しやすくなる。従って、現状のビルドアップ多層基板は、基板表面や各層での凹凸を少なくする必要性から積層数が制限されてしまい、高密度配線化が制限される結果となっていた。

20 【0004】本発明はこのような事情を考慮してなされたものであり、従ってその目的は、ビルドアップ多層基板の製造工程において、電解銅メッキで形成される配線パターンのメッキ厚を均一にして、配線層表面を平坦化することができ、ビルドアップ多層基板の積層数の増加による高密度配線化とチップの接合信頼性向上とを両立させることができるビルドアップ多層基板の配線パターン形成方法を提供することにある。

## 【0005】

【課題を解決するための手段】上記目的を達成するため30 に、本発明の請求項1のビルドアップ多層基板の配線パターン形成方法は、配線パターン形成ブロックの周辺に帯状のダミーパターンを該配線パターンと同時に電解銅メッキにより形成するようにしたものである。このようにすれば、電解銅メッキ時に、配線パターン形成ブロックの周辺のダミーパターン形成部分を通して配線パターン形成部分に電流を安定して流すことができ、配線パターンのメッキ厚のばらつきを少なくすることができる。

【0006】この場合、請求項2のように、配線パターン形成ブロックに、ビルドアップ多層基板の1個分又は複数個分の配線パターンを形成し、その周辺に形成したダミーパターンの部分を最終的に切除するようにしても良い。

40 【0007】更に、請求項3のように、配線パターン形成ブロックの表面を研磨するようにしても良い。電解銅メッキでは、配線パターンの線幅が細いほど、メッキ厚が厚くなりやすいという性質があるため、配線パターンより線幅が格段に広い帯状のダミーパターンのメッキ厚は、配線パターンのメッキ厚よりも薄くなるが、電解銅メッキ時に帯状のダミーパターンに流れる電流の分布は均一となるため、ダミーパターンのメッキ厚は均一とな

る。従って、このダミーパターンのメッキ厚をガイドにして配線パターン形成ブロックの表面を研磨パッド等により研磨すれば、配線パターンのメッキ厚をダミーパターンのメッキ厚に揃えて均一化することができる。

【0008】この場合、請求項4のように、ダミーパターンの幅を配線パターン形成ブロックの一辺の $1/10$ 以上に形成すると良い。このようにすれば、ダミーパターンのメッキ厚が十分に均一化されると共に、配線パターン形成ブロックの表面を研磨パッド等により研磨する際に、ダミーパターンが研磨量を規制するガイドとしての役割を十分に果たし得る機械的強度も確保できる。

【0009】或は、請求項5のように、ダミーパターンの幅を $10\text{ mm}$ 以上に形成しても良い。このようにすれば、電解銅メッキ時に、ダミーパターン形成部分から配線パターン形成部分への電流供給が十分に安定して、配線パターンのメッキ厚のばらつきが十分に少なくなり、配線パターン形成ブロックの表面の研磨が不要、又は軽く研磨するだけで良い。

【0010】また、配線パターン形成ブロックの面積が大きくなるほど、電解銅メッキ時の配線パターンの電流分布のばらつき（配線パターンのメッキ厚のばらつき）が大きくなることを考慮して、請求項6のように、配線パターン形成ブロックの一辺を $50\text{ mm}$ 以下に形成すると良い。このようにすれば、配線パターン形成ブロック内の配線パターン形成部分の電流分布のばらつきが少なくなつて、配線パターンのメッキ厚がほぼ均一化され、配線パターン形成ブロックの表面の研磨が不要、又は軽く研磨するだけで良い。

【0011】

【発明の実施の形態】【実施形態（1）】以下、本発明の実施形態（1）を図面に基づいて説明する。まず、図1に基づいて、本実施形態（1）の製造方法により製造するビルトアップ多層基板11の構造を説明する。コア基板12は、例えばガラスエポキシ基板、金属基板等により形成され、その所定位置には、スルーホール13が形成されている。このコア基板12の上下両面とスルーホール13の内周面には、無電解銅メッキ、電解銅メッキにより配線パターン14とスルーホール導体15とが互いに導通するように形成され、配線パターン14間の溝とスルーホール導体15の内部は、平坦化樹脂16により穴埋めされ、基板面が平坦化されている。

【0012】コア基板12両面の配線パターン14上には、エポキシ系の感光性絶縁層17が形成され、この感光性絶縁層17の所定位置にフォトエッチング法でピアホール18が形成されている。この感光性絶縁層17の表面とピアホール18には、電解銅メッキにより配線パターン19とピア導体20が形成されている。これら絶縁層17、配線パターン19、ピア導体20は、必要な積層数だけ形成されている（図1には2層分のみを図示している）。尚、図示はしないが、ビルトアップ多層基

板11下面側の最下層のピア導体20には、Ni/Auメッキを介してBGA（Ball Grid Array）のバンプが形成され、ビルトアップ多層基板11上面側の最上層のピア導体20には、フリップチップボンディング用のパッドが形成されている。

【0013】このビルトアップ多層基板11を製造する場合には、図2に示すように、1枚のワーク基板21に多数のビルトアップ多層基板11を同時に形成する。ワーク基板21には、1個又は複数個の配線パターン形成ブロック22を形成し、各配線パターン形成ブロック22には、ビルトアップ多層基板11の1個分又は複数個分（図2の例では9個分）の配線パターン19を形成する。各配線パターン形成ブロック22の周辺には、セミアディティブ法により帯状のダミーパターン23を配線パターン形成ブロック22内の配線パターン19と同時に電解銅メッキで形成する。この場合、ダミーパターン23の幅Wは、配線パターン形成ブロック22の一辺Lの $1/10$ 以上（好ましくは $1/10 \sim 1/3$ ）又は $10\text{ mm}$ 以上（ $W \geq L/10$ 又は $W \geq 10\text{ mm}$ ）となるよう形成している。

【0014】次に、このビルトアップ多層基板11の製造工程を図3～図5に基づいて説明する。ここで、図3は、ビルトアップ多層基板11の製造工程の流れを示すフローチャートであり、図4及び図5は、各工程の基板の形成状態を概略的に示す部分断面図である。

【0015】まず、最初の工程（1）で、図2に示すワーク基板21と同じサイズのコア基板12の所定位置にスルーホール18を打ち抜き加工し、次の工程（2）で、コア基板12の上下両面とスルーホール13の内周面に、無電解銅メッキ、電解銅メッキにより配線パターン14とスルーホール導体15とを互いに導通するよう形成する。

【0016】次の工程（3）で、コア基板12の配線パターン14間の溝とスルーホール導体15の内部を平坦化樹脂16により穴埋めして基板面を平坦化する。次の工程（4）で、コア基板12上に、エポキシ系の感光性樹脂をスピンドルコーティング等で塗布し、これをブリベーカして感光性絶縁層17を形成する。次の工程（5）で、感光性絶縁層17を露光現像処理して、感光性絶縁層17にピアホール18を形成する。

【0017】次の工程（6）で、感光性絶縁層17の表面全体及びピアホール18の内周面に、無電解銅メッキにより無電解銅メッキ被膜24を形成する。次の工程（7）で、無電解銅メッキ被膜24の表面に次のようにしてメッキレジストパターン25を形成する。まず、無電解銅メッキ被膜24の表面全体に感光性レジストのドライフィルムをラミネートする。或は、ドライフィルムのラミネートに代えて、液状の感光性レジストをスピンドルコーティング等で無電解銅メッキ被膜24の表面全体に塗布しても良い。この後、感光性レジストを露光現像処理し

て、感光性レジストのうちのピアホール導体20、配線パターン19及びダミーパターン23を形成する部分を除去して、メッキレジストパターン25を形成する。この際、ダミーパターン23の幅Wが、配線パターン形成ブロック22の一辺Lの $1/10$ 以上（好ましくは $1/10 \sim 1/3$ ）又は10mm以上（ $W \geq L/10$ 又は $W \geq 10\text{ mm}$ ）となるようにメッキレジストパターン25を形成する。

【0018】次の工程(8)で、無電解銅メッキ被膜24のうちのメッキレジストパターン25から露出する部分に電解銅メッキを施して、電解銅メッキパターン（ピアホール導体20、配線パターン19及びダミーパターン23の表層部分）を形成する。電解銅メッキでは、電解銅メッキパターン19、20、23の線幅が細いほど、メッキ厚が厚くなりやすいという性質があるため、図6(a)に示すように配線パターン19より線幅が格段に広い帶状のダミーパターン23のメッキ厚は配線パターン19のメッキ厚よりも薄くなるが、電解銅メッキ時に帶状のダミーパターン23に流れる電流の分布は均一となるため、ダミーパターン23のメッキ厚は均一となる。また、配線パターン19のメッキ厚は、配線密度の粗密によるメッキ時の電流分布の相違によって不均一になる。

【0019】そこで、次の工程(9)で、研磨パッド、砥石等の研磨部材26を電解銅メッキパターン19、20、23上に載せて水平方向に繰り返し往復滑動させることで、配線パターン形成ブロック22の表面を研磨して、ピアホール導体20の表層部分と配線パターン19のメッキ厚を均一にする。この際、ダミーパターン23は、研磨量を規制するガイドとしての役割を果たし、図6(b)に示すように配線パターン19のメッキ厚をダミーパターン23のメッキ厚に揃えて均一にする。

【0020】次の工程(10)で、メッキレジストパターン25を剥離液を使って剥離除去した後、エッチング工程(11)で、電解銅メッキパターン19、20、23をエッチングレジスト（マスク）として用いて、無電解銅メッキ被膜24の不要部分（露出部分）をエッチングにより取り除く。これにより、ピアホール導体20、配線パターン19及びダミーパターン23が形成される。

【0021】尚、上記エッチング工程(11)で、ピアホール導体20及び配線パターン19の表面が粗化されるため、次の工程(12)で、再度、研磨処理するようにも良い。この研磨工程(12)は、エッチングによる表面粗化の程度が少なければ行う必要はない。また、前記(9)の研磨工程は、平坦化が目的なので、メッキレジストパターン剥離工程(10)の後又はエッチング工程(11)の後に行っても良い。

【0022】以上の工程で、1層目の感光性絶縁層17と配線層を形成し、以後、これらの工程を必要な積層数

になるまで順次繰り返して、1枚のワーク基板21の1個又は複数個の配線パターン形成ブロック22内に1個又は複数個のビルトアップ多層基板11を同時に形成する。そして、最後の工程で、ワーク基板21からダミーパターン23の部分を切除し、更に、配線パターン形成ブロック22内に複数個のビルトアップ多層基板11が形成されている場合には、各ビルトアップ多層基板11の境界線27（図2参照）に沿って切断して、各ビルトアップ多層基板11を分割する。これにて、ビルトアップ多層基板11の製造が完了する。

【0023】以上説明した実施形態(1)では、電解銅メッキ後に、ダミーパターン23をガイドにして研磨部材26により配線パターン形成ブロック22の表面を研磨するようにしたので、配線パターン19のメッキ厚をダミーパターン23のメッキ厚に揃えて均一化することができて、配線層を平坦化することができる。このため、ビルトアップ多層基板11の積層数を従来より増加させても、基板表面の凹凸を少なくすることができて、フリップチップ接合信頼性を向上でき、積層数の増加による高密度配線化とフリップチップ接合信頼性向上とを両立させることができる。

【0024】しかも、ダミーパターン23の幅Wを配線パターン形成ブロック22の一辺Lの $1/10$ 以上又は10mm以上（ $W \geq L/10$ 又は $W \geq 10\text{ mm}$ ）に形成するので、電解銅メッキ時のダミーパターン23への電流の流れが安定してダミーパターン23のメッキ厚を一定の厚みで均一化できると共に、ダミーパターン23が研磨量を規制するガイドとしての役割を十分に果たし得る機械的強度も確保できる。これにより、配線パターン19のメッキ厚を一定の厚みで確実に均一化することができる。

【0025】また、本実施形態(1)では、ダミーパターン23の幅Wを配線パターン形成ブロック22の一辺Lの $1/3$ 以下に形成するので、最終的にワーク基板21から切除する部分を少なくすることができ、その分、歩留りを向上することができて、製品コストを低減することができる。

【0026】【実施形態(2)】上記実施形態(1)では、配線パターン形成ブロック22の表面を研磨することで、配線パターン19のメッキ厚を均一化するようにしたが、実施形態(2)では、電解銅メッキ工程で、後述するように配線パターン19のメッキ厚のばらつきが少なくなるように電解銅メッキすることで、配線パターン形成ブロック22の表面を研磨する行程を省略、又は軽く研磨するだけで済むようにしている。その他の行程は、上記実施形態(1)と同じである。

【0027】本実施形態(2)では、電解銅メッキ工程で配線パターン19のメッキ厚のばらつきを少なくするために、ダミーパターン23の幅Wを10mm以上に形成する。更に、配線パターン形成ブロック22の面積が

大きくなるほど、電解銅メッキ時の配線パターン19の電流の分布のばらつき（配線パターン19のメッキ厚のばらつき）が大きくなることを考慮して、配線パターン形成ブロック22の一辺Lを50mm以下に形成する。

【0028】このように、ダミーパターン23の幅Wを10mm以上に形成すれば、電解銅メッキ時に、ダミーパターン23の形成部分から配線パターン19形成部分への電流供給が安定して、配線パターン19のメッキ厚のばらつきが少なくなる効果が得られる。更に、配線パターン形成ブロック22の一辺Lを50mm以下に形成すれば、配線パターン形成ブロック22内の配線パターン19形成部分の電流分布のばらつきが少なくなり、これによても、配線パターン19のメッキ厚のばらつきが少なくなる効果が得られる。この結果、配線パターン形成ブロック22の表面の研磨が不要、又は軽く研磨するだけで良くなる。

【0029】尚、図1の構成例では、コア基板12の両面に感光性絶縁層17と配線層を積層するようにしたが、コア基板12の片面のみに感光性絶縁層17と配線層を積層するようにしても良い。また、絶縁層の形成は、感光性樹脂に限らず、非感光性の樹脂を用いて、レーザーでビアホールを形成するようにしても良い。

### 【0030】

【発明の効果】以上の説明から明らかのように、本発明の請求項1のビルドアップ多層基板の配線パターン形成方法によれば、配線パターン形成ブロックの周辺に帯状のダミーパターンを該配線パターンと同時に電解銅メッキにより形成するようにしたので、配線パターンのメッキ厚のばらつきを少なくすることができ、ビルドアップ多層基板の積層数の増加による高密度配線化とチップの接合信頼性向上とを両立させることができる。

【0031】更に、請求項2では、ダミーパターンの部分を最終的に切除するので、ビルドアップ多層基板の大型化を回避することができ、基板サイズの小型化の要求を満たすことができる。

【0032】しかも、請求項3では、配線パターン形成ブロックの表面を研磨するので、配線パターンのメッキ厚をダミーパターンのメッキ厚に揃えて確実に均一化すことができ、配線層表面の平坦性を更に向上できる。

### 【0033】また、請求項4では、ダミーパターンの幅

40

を配線パターン形成ブロックの一辺の1/10以上に形成するので、ダミーパターンのメッキ厚を十分に均一化できると共に、研磨量を規制するガイドとしてのダミーパターンの機械的強度も確保できる。

【0034】また、請求項5では、ダミーパターンの幅を10mm以上に形成するので、電解銅メッキ時に、ダミーパターン形成部分から配線パターン形成部分への電流供給を安定させることができて、メッキ厚のばらつきの少ない配線パターンを電解銅メッキで形成することができ、配線パターン形成ブロックの表面の研磨が不要、又は軽い研磨で済ませることができる。

【0035】また、請求項6では、配線パターン形成ブロックの一辺を50mm以下に形成したので、配線パターン形成部分の電流分布のばらつき（メッキ厚のばらつき）を少なくすることができ、配線パターン形成ブロックの表面の研磨が不要、又は軽い研磨で済ませができる。

### 【図面の簡単な説明】

【図1】本発明の実施形態（1）におけるビルドアップ多層基板の構造を示す部分拡大縦断面図

【図2】ビルドアップ多層基板を形成するワーク基板の部分平面図

【図3】ビルドアップ多層基板の製造工程の流れを示すフローチャート

【図4】ビルドアップ多層基板の製造工程の各工程における基板状態を概略的に示す部分断面図（その1）

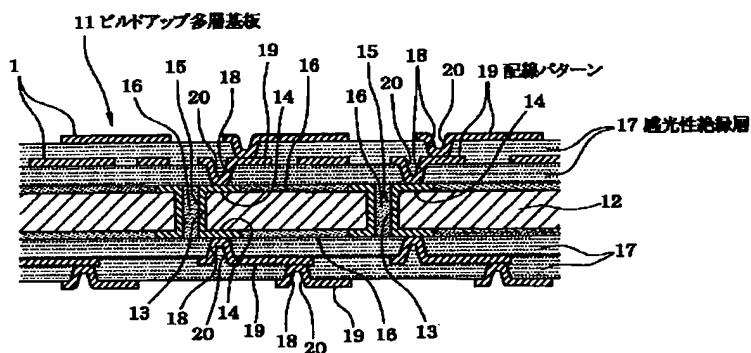
【図5】ビルドアップ多層基板の製造工程の各工程における基板状態を概略的に示す部分断面図（その2）

【図6】（a）は研磨前（電解銅メッキ後）の配線パターンとダミーパターンの状態を示す拡大縦断面図、（b）は研磨後の配線パターンとダミーパターンの状態を示す拡大縦断面図

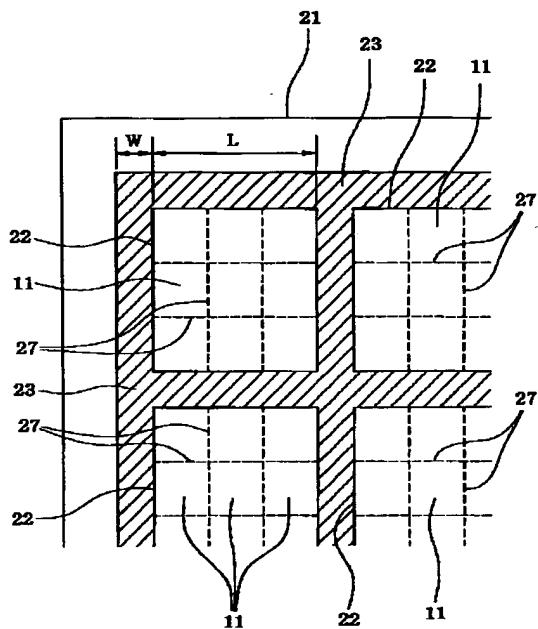
### 【符号の説明】

11…ビルドアップ多層基板、12…コア基板、13…スルーホール、14…配線パターン、15…スルーホール導体、16…平坦化樹脂、17…感光性樹脂、18…ビアホール、19…配線パターン、20…ビア導体、21…ワーク基板、22…配線パターン形成ブロック、23…ダミーパターン、24…無電解銅メッキ被膜、25…メッキレジストパターン、26…研磨部材。

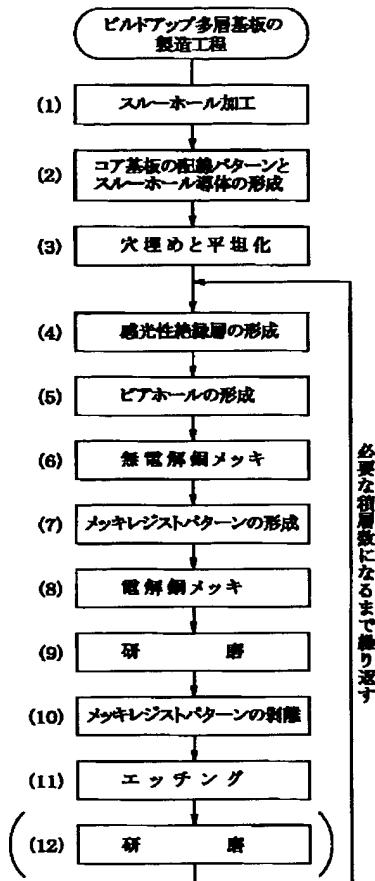
【図1】



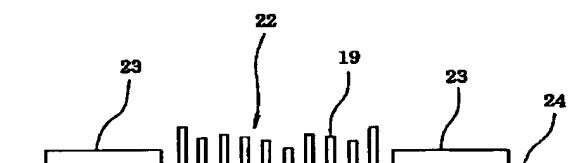
【図2】



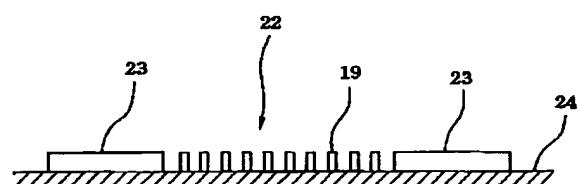
【図3】



【図6】

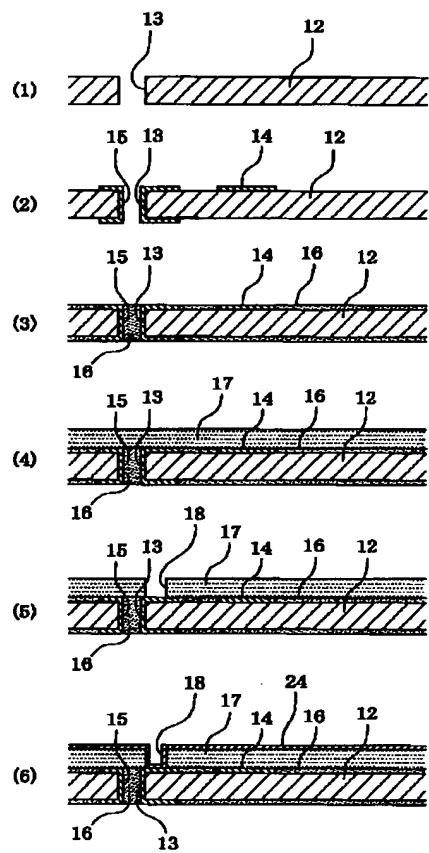


(a) 研磨前(電解銅メッキ後)

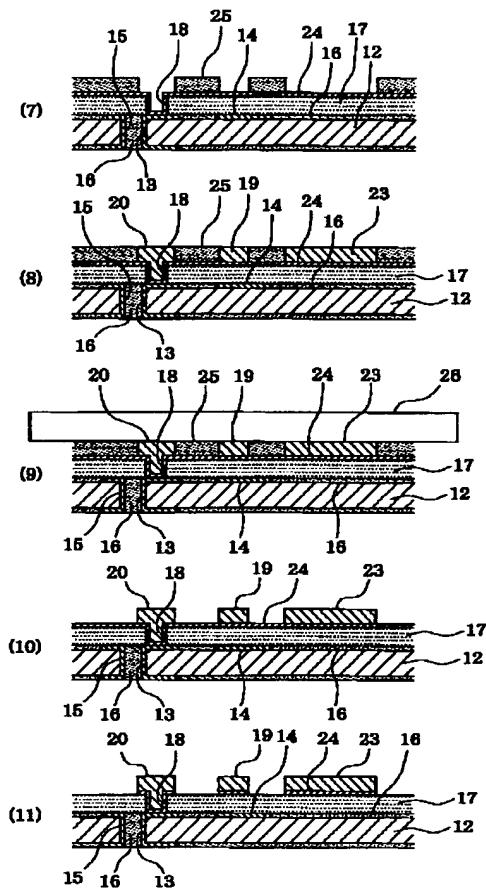


(b) 研磨後

【図4】



【図5】




---

フロントページの続き

F ターム(参考) 5E346 AA02 AA12 AA15 AA43 BB01  
 BB15 CC09 CC32 DD24 DD32  
 DD33 EE33 FF09 FF10 FF14  
 GG40 HH11 HH25